

HETEROJUNCTION BIPOLAR TRANSISTOR AND FABRICATION THEREOF

PUB. NO.: 08-139101 [JP 8139101 A]

PUBLISHED: May 31, 1996 (19960531)

INVENTOR(s): MATSUOKA YUTAKA, YAMAHATA SHIYOUJI

APPLICANT(s): NIPPON TELEGR & TELEPH CORP <NTT>

APPL. NO.: 06-271969 [JP 94271969]

FILED: November 07, 1994 (19941107)

INTL CLASS: H01L-021/331; H01L-029/73; H01L-029/205

ABSTRACT

PURPOSE: To obtain a heterojunction bipolar transistor excellent in high frequency characteristics and can be fabricated easily by delimiting an emitter region in a direction other than a specific direction thereby ensuring electric isolation of emitter/base even if the selective etching time of emitter layer using a solution is shortened.

CONSTITUTION: At least a collector region 3, a base region 4, and an emitter region 5 made of a material having band gap larger than that of the base region 4 are formed on a semiconductor substrate 1 having a (100) faces as a major surface. In such mesa type heterojunction bipolar transistor, the emitter region 5 is delimited in a direction other than the direction in parallel with {9146/28}01-1 face. For example, an emitter region 7 is delimited in the direction in parallel with any one of {9146/28}011, {9146/28}010 or {9146/28}001 face on the (100) face. Subsequently, an InGaAs emitter contact layer 6 and an InP emitter layer 5 are etched using the emitter electrode as a mask.

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-139101

(43)公開日 平成8年(1996)5月31日

(51) Int. Cl. 6  
H 0 1 L 21/331  
29/73  
29/205

識別記号 庁内整理番号

F I

技術表示箇所

H 0 1 L 29/72

29/205

審査請求 未請求 請求項の数3 OL (全 5 頁)

(21)出願番号

特願平6-271969

(22)出願日

平成6年(1994)11月7日

(71)出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72)発明者 松岡 裕

東京都千代田区内幸町一丁目1番6号 日本  
電信電話株式会社内

(72)発明者 山幡 章司

東京都千代田区内幸町一丁目1番6号 日本  
電信電話株式会社内

(74)代理人 弁理士 中村 純之助

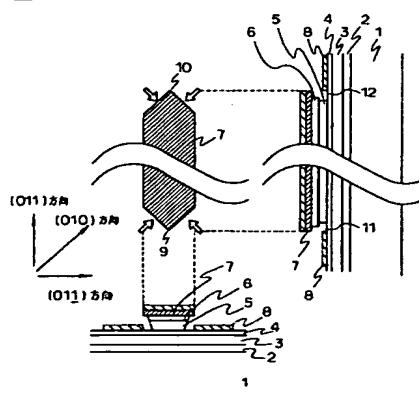
(54)【発明の名称】ヘテロ接合バイポーラトランジスタ及びその製造方法

(57)【要約】

【目的】エミッタ層の溶液による選択エッチング時間を短くしてもエミッタ/ベースの電気的分離を確実にすることのできるHBT及びその製造方法を提供すること、従って、製作が容易で、エミッタ/ベース間の漏洩電流が少なく、高周波特性に優れたHBT及びその製造方法を提供すること。

【構成】上記目的は、(100)面を主表面とする半導体基板上に、少なくとも、コレクタ領域と、ベース領域と、ベース領域よりもバンドギャップの大きい材料からなるエミッタ領域とを形成してなるメサ型のヘテロ接合バイポーラ型トランジスタにおいて、エミッタ領域が[011]に平行な方向以外の方向で規定されていることを特徴とするヘテロ接合バイポーラトランジスタとすること。

図1



## 【特許請求の範囲】

【請求項1】 (100) 面を主表面とする半導体基板上に、少なくとも、コレクタ領域と、ベース領域と、ベース領域よりもバンドギャップの大きい材料からなるエミッタ領域とを形成してなるメサ型のヘテロ接合バイポーラ型トランジスタにおいて、エミッタ領域が [011] に平行な方向以外の方向で規定されていることを特徴とするヘテロ接合バイポーラトランジスタ。

【請求項2】 下記工程からなることを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

- (1) 化合物半導体基板上に形成したコレクタ層上にベース層となる第1の半導体層を形成する工程。
- (2) 上記第1の半導体層上に、エミッタ層となる第2の半導体層を形成する工程。
- (3) 上記第2の半導体層上に、全ての辺が [011] と異なる方向を有するマスク材を形成する工程。
- (4) 上記マスク材をマスクとして、結晶の異方的性質により結晶方位によってエッチング速度の異なるエッチング法を用いて、上記第2の半導体層のエッチングを行い、上記第1の半導体層を露出させる工程。
- (5) 上記基板に導電体を蒸着することによってベース電極を形成する工程。

【請求項3】 上記マスク材が導電性材料からなり、エミッタ電極を構成していることを特徴とする請求項2記載のヘテロ接合バイポーラトランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、ヘテロ接合バイポーラトランジスタ(以下、HBT と略称する)及びその製造方法に係り、特に、製作が容易で、エミッタ/ベース間の漏洩電流が小さく、高周波特性に優れた HBT 及びその製造方法に関する。

## 【0002】

【従来の技術】 HBT は、エミッタ層としてベース層よりもバンドギャップの大きい半導体材料を用いることによって、ベース層の不純物濃度を高くしてもエミッタ注入効率を大きく保つことができること、化合物半導体の優れた電子輸送特性を活かすことができることなど、トランジスタの高性能化に有利な多くの利点を有している。化合物半導体を用いる HBT は、一般に、(100) 面を主表面とする半導体基板上に所望の半導体層をエピタキシャル成長させ、エッチングによってメサ構造を形成して、エミッタ層、ベース層、コレクタ層それぞれにオーミックコンタクトをとつて形成される。従来の HBT においては、図4に示すように、(100) 面上でエミッタ領域を規定する方向として、[011] 及び [011] (面指数の表現において、負の指数は  $(xyz)$  のようにアンダーラインの表現とした。以下同様) に平行な方向が採られている。これは、(100) 面を主表面とする半導体基板を用いる場合、オリエンテーションフラットは劈開面が出やす

い (011) 面すなわち [011] に平行な方向が採られており、そのオリエンテーションフラットに平行又は垂直にエミッタを規定する方向を設定するのが自然であることによる。

## 【0003】

【発明が解決しようとする課題】 (100) 面上でエミッタを従来の方向で規定する場合の問題点を、素子断面構造との関わりにおいて説明する。HBT の有する優れた特性を引き出すためには、寄生の抵抗と容量とを小さくする

10 ことが必要であり、そのために種々のセルフアライン構造が提案されている。寄生の抵抗と容量とが小さく、均一性と再現性に優れたセルフアライン HBT 構造とその製作法として、特開平5-136159号または IEICE Trans. Electron. Vol. E76-C pp. 1392-1401 に示されているように、エミッタ電極を先行して形成し、そのエミッタ電極をマスクとして、ベース層に対してエミッタ層を選択的にエッチングする溶液を用いてエミッタメサエッチングを行い、同時に、ウェットエッチングの等方性を利用して電極外周部下にアンダーカットを形成した後、エミッタメサを含む領域にベース電極を蒸着する方法と構造とがある。この方法と構造とによれば、アンダーカットがあるために、エミッタ電極とベース電極とは短絡することなくセルフアラインされる。また、この構造と製作法では、ベース電極を狭くすることも容易であり、ベース抵抗とベース/コレクタ接合面積の低減に有利である。

## 【0004】 しかしながら、この HBT において、[011] 及び [011] に平行な方向だけでエミッタを規定するのでは、ウェットエッチングの結晶異方性に関係して、次の

30 ような問題があった。すなわち、図4に示すように、ウェットエッチングでメサを形成する場合のメサ形状は、[011] 方向に沿った断面すなわち (011) 面でみると下の辺が短い台形の形状すなわち逆メサ状になるのに対して、[011] 方向に沿った断面すなわち (011) 面でみると上の辺が短い台形の形状すなわち順メサ状になる。しかも、選択エッチングによって縦方向のエッチングが進み、ベース層が露出した後は [011] 方向に沿ってのサイドエッチングは殆ど進行しない。このような状況の時、ベース電極用の金属をエミッタメサを含む領域に蒸着して、エミッタメサ、エミッタ電極、ベース電極をセルフアラインさせる方法では、順メサの断面に対して、ベース電極38がエミッタ層35に接しやすくなる。ベース電極がエミッタ層に接した場合には、エミッタ～ベース間の漏洩電流が増大して電流増幅率が低下する。また、ある場合には、ベース電極とエミッタ電極とが短絡してしまい、トランジスタとしての動作を全くしなくなることもあり得る。

【0005】 このような状況を避けるために、異方性を有するドライエッチングと選択ウェットエッチングとを適宜組み合わせて、(011) の断面でみても確実にアンダ

一カットが形成されるようにする方法があるが、再現性と制御性とに問題があり、エミッタ/ベース間の電気的分離を確実にするためには、選択エッティング液によるエッティング時間を長くしてアンダーカット量を多くする必要がある。しかし、アンダーカット量が増大するにつれて、エミッタ/ベース接合面積に対するベース抵抗とベース/コレクタ接合面積の比が増大して、トランジスタの高周波動作を損なう。しかも、高性能を狙う微細なトランジスタほどその影響が大きくなる。

【0006】本発明の目的は、上記従来技術の有していた課題を解決して、エミッタ層の溶液による選択エッティング時間を短くしてもエミッタ/ベースの電気的分離を確実にすることのできるHBT及びその製造方法を提供すること、すなわち、製作が容易で、エミッタ/ベース間の漏洩電流が少なく、高周波特性に優れたHBT及びその製造方法を提供することにある。

#### 【0007】

【課題を解決するための手段】上記目的は、(100)面を主表面とする半導体基板上に、少なくとも、コレクタ領域と、ベース領域と、ベース領域よりもバンドギャップの大きい材料からなるエミッタ領域とを形成してなるメサ型のヘテロ接合バイポーラ型トランジスタにおいて、エミッタ領域が[011]に平行な方向以外の方向で規定されていることを特徴とするヘテロ接合バイポーラトランジスタとすること、および、下記工程からなることを特徴とするヘテロ接合バイポーラトランジスタの製造方法とすることによって達成することができる。

【0008】(1) 化合物半導体基板上に形成したコレクタ層上にベース層となる第1の半導体層を形成する工程、(2) 上記第1の半導体層上に、エミッタ層となる第2の半導体層を形成する工程、(3) 上記第2の半導体層上に、全ての辺が[011]と異なる方向を有するマスク材を形成する工程、(4) 上記マスク材をマスクとして、結晶の異方性質により結晶方位によってエッティング速度の異なるエッティング法を用いて、上記第2の半導体層のエッティングを行い、上記第1の半導体層を露出させる工程、(5) 上記基板に導電体を蒸着することによってベース電極を形成する工程。

【0009】本発明によるHBTの特徴は、エミッタを規定する結晶方位に制限を設けたことがある。すなわち、基本的には、上記図4に示す従来構造のヘテロ接合バイポーラトランジスタの場合と同様の構造と製造手順とによるものであるが、エミッタを規定する(100)面上の方向として、ウェットエッティングによる順メサが出現する[011]の方向を禁止したことにある。

#### 【0010】

【作用】本発明によるHBTは、選択ウェットエッティングによって順メサが出現する方向が禁止されるので、平面図として見た時、エミッタ/ベース接合を規定する領域は、必ず、エッティングのマスク材の領域の内側に入

る。このため、選択ウェットエッティングによってベース面が露出すれば、エミッタ/ベース間を電気的に分離するアンダーカットが確実に形成される。

【0011】エミッタ電極を先行して形成し、そのエミッタ電極をマスクとして、ベース層に対してエミッタ層を選択的にエッティングする溶液を用いてエミッタメサエッティングを行い、同時に同時にアンダーカットを形成した後、エミッタメサを含む領域にベース電極を蒸着する方法と構造のHBTの場合に、本発明を適用することによって、アンダーカットを形成するためのエッティング時間を必要以上に長くすることなく、ベース/エミッタ間の漏洩電流を低減することができる。

#### 【0012】

【実施例】以下、本発明のHBT及びその製造方法について、実施例によって具体的に説明する。

#### 【0013】

【実施例1】本発明によるHBTのエミッタ構造の一例を図1に示す。結晶の層構造は、例えば、(100)面を主表面とする半絶縁性InP基板1上に、MBEあるいはMOCVDなどの方法によって、コレクタにオーム性接觸を形成するためのn型不純物を高濃度に含むInGaAsからなるサブコレクタ層2、n型不純物を含むかまたは不純物をドープしないInGaAsからなるコレクタ層3、p型不純物を高濃度に含むInGaAsからなるベース層4、n型不純物を含むInPからなるエミッタ層5、エミッタにオーム性接觸をとるためのn<sup>+</sup>型不純物を高濃度に含むInGaAsからなるエミッタコンタクト層6をエピタキシャル成長させたものである(図2の(2))。

【0014】次に、エミッタ電極7(Ti/Pt/Auの積層体あるいはWSi)をリフトオフなどの方法によって形成する(図2の(3))が、このとき、エミッタ電極の領域は、(100)面上において[011]、[010]、[001]の何れかに平行な方向で規定する。次に、電子サイクロトロン共鳴を利用して塩素系ガスの反応性イオンエッティングなどにより、エミッタ電極7をマスクとしてInGaAsエミッタコンタクト層6及びInPエミッタ層5の一部のエッティングを行う。このドライエッティングでは垂直にエッティングが進み、サイドエッティングは入らない。上記ドライエッティングに続いて、例えば硫酸、過酸化水素、水の混合液によるエッティングを行い、エミッタ電極7の下のInGaAsエミッタコンタクト層6のサイドエッティングを行う。このとき、InPエミッタ層5はエッティングされない。その後、塩酸と水の混合液によりInPエミッタ層5をエッティングして、InGaAsベース層4を露出させる。このエッティングでは、InGaAsエミッタコンタクト層6及びInGaAsベース層4はエッティングされない。このエッティングはベース層4が露出されれば十分であり、必要以上に長く行う必要はない(図2の(4))。あるいは、InPエミッタ層5が僅かに残っていても、それが完全に空乏化できる厚さであれば、問題はない。従って、塩酸と水との

混合液によるエミッタ層6の選択エッチング時間を必要以上に長くする必要はない。最後に電極8をエミッタメサを含む領域に蒸着する(図2の(5))。

【0015】この方法ではベース電極材はエミッタ電極7の上にも被覆されるが、(011)面で見た断面では逆メサ状になるので、エミッタ/ベースの分離は完全である。一方、(011)面で見た断面では順メサ状になるので、エミッタ/ベース間の短絡または漏洩電流の増大が危惧される。しかし、本実施例の場合では、エミッタ電極7の辺として[011]に平行な方向ではなく、その代用として[010]及び[001]に平行な方向で規定されている。[001]または[010]に沿ってのエッチングは[100]に沿ってのエッチングと同じに速く進行するため、エミッタ電極の領域の外周上で[010]方向の辺と[001]方向の辺との交点9及び10でも、両側からのエッチングの進行によりエミッタ/ベース接合が露出する点11、12はエミッタ電極7の内側に後退する。従って、(011)面で見た断面でも、エミッタ/ベースの完全な分離を容易に達成することができる。

#### 【0016】

【実施例2】本発明によるHBTのエミッタの平面構造の他の例を図3に示す。結晶の層構造、製作工程は実施例1の場合とほぼ同様であるが、本実施例の場合、エミッタ電極は、(100)面上において、[010]に平行な2つの辺と[001]に平行な2つの辺のみで規定される。この場合には、エミッタメサは、垂直にしかも等速度でエッチングが進行する(010)面、(010)面、(001)面及び(010)のみで囲まれるため、全外周にわたり制御性良くアンダーカットを形成することができる。

【0017】なお、上記2つの実施例においては、結晶の層構造について、InP/InGaAs系における最も基本的な構造について説明したが、本発明はこれらに限定されるものではなく、ダブルヘテロ構造のHBTやAlGaAs/GaAs系等の他の材料系のHBTに適用できることは言うまでもない。さらに、製作工程については、エミッタ電極を先に形成して、それをマスクとして溶液によるエッチングを行う場合の例を示したが、エミッタメサエッチングの一部または全部に溶液によるエッチングを行う工程が含まれるものであれば、本発明の効果を得ることができる。

#### 【0018】

【発明の効果】以上述べてきたように、HBT及びその製造方法を本発明構成のHBT及びその製造方法とすることによって、従来技術の有していた課題を解決して、エミッタ層の溶液による選択エッチング時間を短くしてもエミッタ/ベースの電気的分離を確実にすることのできるHBT及びその製造方法を提供すること、従って、製

作が容易で、エミッタ/ベース間の漏洩電流が少なく、高周波特性に優れたHBT及びその製造方法を提供することができた。

【0019】すなわち、本発明によれば、(100)面を主表面とする半導体基板上においてエミッタを規定する方向として順メサが現れる[011]に平行な方向を持たないので、溶液によるエミッタメサエッチングの際のマスク材の大きさに比べてエミッタメサの大きさは常に小さくなる。換言すれば、エミッタ層の深さ方向のエッチングが進めば、マスク材に対して常にメサのアンダーカットが形成される。従って、エミッタメサエッチングのマスク材としてエミッタ電極を用いてエミッタメサエッチングの後、エミッタメサを含む領域にベース電極を蒸着する場合、容易にしかも確実にエミッタ/ベース間を電気的に分離することができ、歩留まりを高くすることができる。

【0020】さらに、エミッタ電極に対するエミッタ層のアンダーカット量を意図的に大きくする必要がないので、エミッタメサが必要以上に縮小されることはなく、エミッタ/ベース接合面積に対するベース抵抗とベース/コレクタ接合容量の比を小さくすることができる。従って、エミッタ/ベース接合面積に対するベース抵抗とベース/コレクタ接合容量の比を小さくすることができるので、高周波特性に優れたHBTを提供することができる。

#### 【図面の簡単な説明】

【図1】実施例1の本発明HBTのエミッタ及びベースに関係する概略構成を示す平面図及び断面図。

【図2】実施例1のHBTの製作工程を示す工程図。

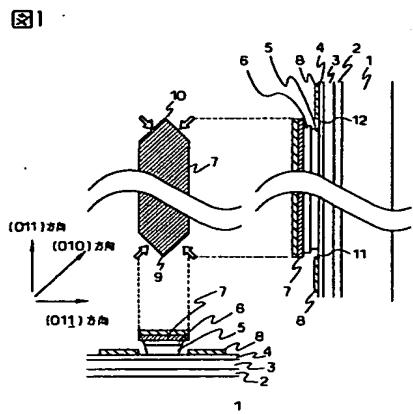
【図3】実施例2の本発明HBTのエミッタ及びベースに関係する概略構成を示す平面図及び断面図。

【図4】従来技術によるHBTのエミッタ及びベースに関係する概略構成を示す平面図及び断面図。

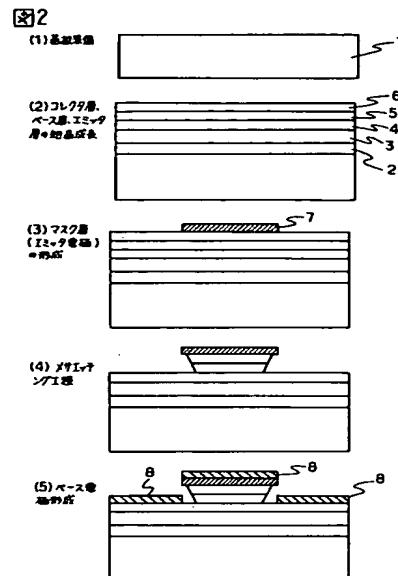
#### 【符号の説明】

1…半絶縁性InP(100)基板、2…n<sup>+</sup>-InGaAsコレクタコンタクト層、3…n型不純物を含むかまたは不純物をドープしないInGaAsコレクタ層、4…p<sup>+</sup>-InGaAsからなるベース層、5…n-InPからなるエミッタ層、6…n<sup>+</sup>-InGaAsからなるエミッタコンタクト層、7…エミッタ電極、8…ベース電極、9、10…エミッタ電極の領域の外周上で[010]方向の辺と[001]方向の辺との交点、11、12…9と10を結ぶ直線の下におけるエミッタ/ベース接合の終端、21…エミッタ電極、31…半絶縁性InP(100)基板、32…n<sup>+</sup>-InGaAsコレクタコンタクト層、33…n型不純物を含むかまたは不純物をドープしないInGaAsコレクタ層、34…p<sup>+</sup>-InGaAsからなるベース層、35…n-InPからなるエミッタ層、36…n<sup>+</sup>-InGaAsからなるエミッタコンタクト層、37…エミッタ電極、38…ベース電極。

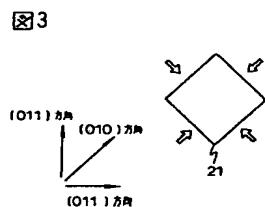
【图1】



[図2]



(图3)



〔図4〕

